

End of Result Set



Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Jul 22, 1994

PUB-NO: JP406203558A

DOCUMENT-IDENTIFIER: JP 06203558 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 22, 1994

INVENTOR-INFORMATION:

NAME

COUNTRY

SAKATA, TAKESHI

ITO, KIYOO

HORIGUCHI, SHINJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP05000973

APPL-DATE: January 7, 1993

INT-CL (IPC): G11C 11/407; H01L 27/108; H03K 17/16; H03K 17/693; H03K 19/0948

ABSTRACT:

PURPOSE: To drastically decrease the through-current at the time of operation by limiting the through-current over the entire part of respective non-selected blocks by the sub-threshold current of one piece of the corresponding block selection transistor (TR).

CONSTITUTION: The blocks consisting of n pieces of word drivers are provided by m pieces and power feed lines P1 to Pm of the respective blocks are connected via the block selection TRs Q1 to Qm to the power feed lines P. Further, P is connected via a TR Q for selecting an operation mode and standby mode to the power feed line of a word voltage VCH. The gate width (a.W) of the block selection TR is previously selected sufficiently smaller than the total (n.W) of the gate width of the word driver TRs in the block (a*n). The gate width (b.W) of Q is previously selected sufficiently smaller than the total (m.a.W) of the gate width of the entire block TR (b*m.a). Q and Q1 are turned on to supply VCH to the power feed line (P1) corresponding to the block (B1) including the selection word driver (≥ 1) at the time of operation.

COPYRIGHT: (C) 1994, JPO&Japio

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

【特許請求の範囲】

【請求項1】複数の回路ブロックと、各回路ブロックに対応した第1の給電線と、該給電線を第2の給電線に接続するスイッチとを具備してなり、上記スイッチに選択機能を持たせたことを特徴とする半導体装置。

【請求項2】上記スイッチの選択機能は、アドレス信号にしたがうことを特徴とする請求項1に記載の半導体装置。

【請求項3】上記第2の給電線は、選択機能を有するスイッチを介して第3の給電線に接続されることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は微細MOSトランジスタで構成された半導体集積回路に係り、特に高速・低電力動作に適した回路に関する。

【0002】

【従来の技術】1989 インターナショナル シンポジウム オン ブイ・エル・エス・アイ テクノロジー、システムズ アンド アプリケーションズ、プロシーディングズ オブ テクニカル ペーパーズ(1989年5月)第188頁から第192頁(1989 International Symposium on VLSI Technology, Systems and Applications, Proceedings of Technical Papers, pp.188-192 (May 1989))に述べられているように、MOSトランジスタ

$$I_{DS} = I_0 \cdot \frac{W}{W_0} \cdot 10^{\frac{V_{GS} - V_T}{S}} \quad \dots\dots (数1)$$

【0007】ただし、WはMOSトランジスタのチャネル幅、 I_0 、 W_0 は V_T を定義する際の電流値およびチャネル幅、Sはテーリング係数(V_{GS} -log I_{DS} 特性の傾きの逆数)である。したがって、 $V_{GS}=0$ でもサブスレ※

$$I_L = I_0 \cdot \frac{W}{W_0} \cdot 10^{-\frac{V_T}{S}} \quad \dots\dots (数2)$$

【0009】が流れる。図6のCMOSインバータでオフ状態のトランジスタは $V_{GS}=0$ であるから、非動作時において高電源電圧 V_{CC} から接地電位である低電源電圧 V_{SS} に向かって上記の電流 I_L が流れることになる。

【0010】このサブスレッシュヨルド電流は、図7に示すように、しきい電圧を V_T から V_T' に低下させると、 I_L から I_L' に指数関数的に大きくなる。

【0011】数2の上式から明らかなように、サブスレッシュヨルド電流を低減するためには、 V_T を大きくするかSを小さくすればよい。しかし、前者は実効ゲート電★

$$S = \frac{k \cdot T \cdot \ln 10}{q} \left[1 + \frac{C_D}{C_{ox}} \right] \quad \dots\dots (数3)$$

*スタが微細化されるにつれてその耐圧が低下するために、その動作電圧を低くせざるを得ない。

【0003】この場合に、高速動作を維持するためには、動作電圧の低下に見合ってMOSトランジスタのしきい電圧(V_T)も低下させる必要がある。これは、動作速度は、MOSトランジスタの実効ゲート電圧、すなわち動作電圧から V_T を差し引いた値で支配され、この値が大きいほど高速だからである。しかし、 V_T を0.4V程度以下にすると、以下に述べるように、MOSトランジスタのサブスレッシュヨルド特性(テーリング特性)によって、トランジスタを完全にオフすることはもはやできなくなり、直流電流が流れるという現象が生ずる。

【0004】図6に示す従来のCMOSインバータについて説明する。理想的には、入力信号INが低レベル($=V_{SS}$)の時はNチャネルMOSトランジスタ M_N がオフ、INが高レベル($=V_{CC}$)の時はPチャネルMOSトランジスタ M_P がオフになり、いずれにしても電流が流れることはない。しかし、MOSトランジスタの V_T が低くなると、サブスレッシュヨルド特性を無視することができなくなる。

【0005】図7に示すように、サブスレッシュヨルド領域におけるドレイン電流 I_{DS} は、ゲート・ソース間電圧 V_{GS} の指数関数に比例し、次式で表される。

【0006】

【数1】

※ッシュヨルド電流

【0008】

【数2】

★圧の低下による速度の低下を招く。特に、耐圧の点から微細化とともに動作電圧を低くしていくと、速度低下は顕著になり、微細化の利点を生かせなくなるので好ましくない。また後者は、室温動作を前提とする限り、次の理由により困難である。

【0012】テーリング係数Sは、ゲート絶縁膜の容量 C_{ox} とゲート下の空乏層の容量 C_D により、次のように表される。

【0013】

【数3】

【0014】ここで、 k はボルツマン定数、 T は絶対温度、 q は素電荷である。上式から明らかなように、 C_{ox} および C_D の如何にかかわらず $S \geq kT \ln 10 / q$ であり、室温では60mV以下にすることは困難である。

【0015】以上述べた現象のために、多数のMOSトランジスタで構成された半導体集積回路の実質的な直流電流は著しく増大してしまう。特に高温動作時には、 V_T が低く S が大きくなるため、この問題はさらに深刻になる。低電力化が重要である今後のコンピュータ等のダウンサイジング時代においては、このサブスレッショルド電流の増大は本質的な問題である。

【0016】この問題を、代表的な半導体集積回路であるメモリを用いてさらに説明する。メモリは図8に示すように、メモリアレーMA内の任意のメモリセルMCを選択するために、行線（ワード線W）を選択・駆動するためのXデコーダ（XDEC）とワードドライバ（WD）ならびに列線（データ線D）の信号を増幅するセンスアンプ（SA）とセンスアンプを駆動するセンスアンプ駆動回路（SAD）および列線を選択するYデコーダ（YDEC）から構成される。さらにこれらの回路を制御するための周辺回路（PR）が内蔵されている。これらの回路の主要部は、動作時や待機時あるいは電池バックアップ時の低消費電力化のために、上述のCMOS論理回路を基本にした回路構成になっている。しかし、トランジスタのしきい値電圧 V_T （以下、簡単のためにPMOSTランジスタとNMOSTランジスタの絶対値は等しく、 V_T と仮定する。）が低下してくると、上述の理由で貫通電流が増大してくる。特にデコーダとドライバあるいは周辺回路部でそれが顕著になる。これらを構成する回路数が圧倒的に多く、しかも特殊な機能をもつためである。

【0017】例えば、デコーダやドライバについてみると、アドレス信号によって多数の同じ形式の回路の中から少数の特定の回路を選択し駆動する。 V_T が十分大きければ、多数の非選択回路は完全にカットして、すなわち貫通電流を実質的に零にしたまま、この選択・駆動がなされる。一般にメモリの記憶容量が増加すると、このデコーダやドライバの数は増えるが、非選択回路に貫通電流が流れない限り、記憶容量が増大しても全体の電流が増えることはない。しかし、これが可能なのは V_T が

$$I = m \cdot n \cdot i = m \cdot n \cdot I_0 \cdot \frac{W}{W_0} \cdot 10^{-\frac{V_T}{S}} \quad \cdots \cdots \text{(数4)}$$

【0023】と表せる。ここで、 V_T は図2に示すように電流値 I_0 で定義したしきい値電圧、 S はテーリング係数である。ワードドライバ電源 V_{CB} は、外部電源をチップ内部で昇圧して供給されるので、電流駆動能力には限界があり、 I_A が大きくなると処理できなくなる。

【0024】これに対して、本発明の階層型給電線方式（b）の特徴は、次の二点である。①ドライバをブロック

*大きい場合だけで、上述のように低くなると貫通電流は激増する。同様にチップ全体が非選択（待機状態）の場合、従来はチップ内のほとんどの回路をオフにして、電源電流を極力小さくできていたが、もはやこれは不可能となる。この問題はメモリに限らず、CMOS論理回路を基本にした全ての半導体集積回路で共通である。

【0018】

【発明が解決しようとする課題】本発明の目的は、MOSトランジスタを微細化しても高速・低電力の半導体装置を提供すること、特にメモリあるいはメモリを内蔵する半導体装置において問題となるワードドライバ、デコーダ、センスアンプ駆動回路などの貫通電流を低減することにある。

【0019】

【課題を解決するための手段】上記目的を達成するために、多数の同種の回路から構成されており、動作時は少数の回路だけが選択的に動作し、残りは非選択状態を保つような半導体集積回路において、上記多数の回路を複数のブロックに分け、各ブロックに対応して給電線を設け、この給電線をスイッチを介して他の給電線に接続し、そのスイッチに選択機能をもたせる。その選択機能は、アドレス信号、活性時と待機時などの動作モードを指定する信号あるいは活性時間帯内でのある特定時間帯を指定する信号、もしくはそれらの組み合わせ信号により実現される。

【0020】

【作用】トランジスタのしきい値電圧が低くても、非選択回路に流れる貫通電流を最小化できる。

【0021】

【実施例】まず、本発明をダイナミック・ランダム・アクセス・メモリ（DRAM）のワードドライバ（図8中WD）に適用した例を図1に示す。ワード線が選択された後の状態を例にとると、従来の回路（a）では、 V_T が十分高くありさえすれば、すべてのCMOSドライバには貫通電流が流れない。しかし、 V_T が低くなると、ワードドライバに貫通電流が流れるようになり、大容量化（ $m \cdot n$ 大）と共にこの大きさは無視できなくなる。この貫通電流の合計 I_A は、

【0022】

【数4】

※ k に分けた階層型電源線： n 個のワードドライバからなるブロックを m 個設け、各ブロックの給電線 $P_1 \sim P_m$ を、ブロック選択トランジスタ $Q_1 \sim Q_m$ を介して、給電線 P に接続する。さらに、 P を動作モードと待機モードを選択するトランジスタ Q を介して、ワード電圧 V_{CB} の給電線に接続する。②階層的なゲート幅の設定：ブロック選択トランジスタのゲート幅（ $a \cdot W$ ）を、ブロッ

5

ク内のワードドライバトランジスタのゲート幅の合計 ($n \cdot W$) よりも十分小さく選んでおく ($a \ll n$)。また、Qのゲート幅 ($b \cdot W$) を、全ブロックトランジスタのゲート幅の合計 ($m \cdot a \cdot W$) よりも十分小さく選んでおく ($b \ll m \cdot a$)。

【0025】動作時には、QとQ₁をオンにして、選択ワードドライバ(#1)を含むブロック(B₁)に対応した給電線(P₁)にV_{CH}を供給する。ここで、すべてのトランジスタのV_Tは、同じ低い値と仮定すると、この構成により、非選択ブロック(B₂~B_n)のそれぞれ全体の貫通電流は、対応したブロック選択トランジスタ(Q₂~Q_n)1個のサブスレッシュヨルド電流に等しくなる。なぜなら、サブスレッシュヨルド電流はトランジスタのゲート幅に比例するから、仮に $n \cdot i$ の電流が流れようとしても、結局は全体の貫通電流は、ブロック選択トランジスタのサブスレッシュヨルド電流($a \cdot i$)に制限されるためである。そのとき、非選択ブロックの給電線*

表1

	動作電流 (I _A)	待機電流 (I _S)	充電される電荷量	
			t ₁	t ₂
従来	$m \cdot n \cdot i$	$m \cdot n \cdot i$	0	0
本発明	$n \cdot i + (m-1) \cdot a \cdot i$	$b \cdot i$	$C \cdot \Delta V$	$C_1 \cdot \Delta V$

【0028】図3は、動作波形の模式図である。待機時(Φ, Φ₁~Φ_n: V_{CH})には、Q及びQ₁~Q_nがほとんどオフになっているので、PはV_{CH}よりも低い電圧V_{CH}-ΔV'になっており、P₁~P_nはそれよりもさらに低い電圧になっている。すべてのワード線は、P₁~P_nの電圧と無関係にV_{SS}に固定されている。外部クロック信号/RAS(ここで"/"はバー信号を示す)がオンになると、まずΦでQがオンになり、Pの寄生容量Cをt₁時間充電しV_{CH}にする。次に、Φ₁でQ₁がオンになり、P₁の寄生容量C₁をt₂時間充電しV_{CH}にする。このとき、Q₂~Q_nはほとんどオフのままである。その後、Xデコード出力信号X₁によりワードドライバ#1が選択され、ワード線が駆動される。/RASがオフになると、Q及びQ₁はオフになる。P、P₁は、前述した機構により長時間が経過すると、それぞれV_{CH}-ΔV', V_{CH}-ΔVとなる。ここで、アクセス時間を損なうことなく、給電線(P、P₁)をV_{CH}に充電できる。なぜなら、Cが大きくてもΔV'は数百mV程度と小さく、しかも/RASがオンした直後からPの充電時間(t₁)を十分とれるからである。また、ブロックに分割されているのでC₁が比較的小さいため、P₁の充電時間(t₂)は短くできるからである。

【0029】デコードにも階層型給電線を適用することにより、貫通電流を大幅に低減できる。

【0030】図4、図5に、センスアンプ駆動回路(図8中SAD)に適用した階層型給電線方式ならびに、1個のトランジスタと1個のキャパシタから成るメモリセ※50

6

* P₂~P_nの電圧はほぼ待機時のままΔVだけ下がっている。なぜなら、P₂~P_nを充電するQ₂~Q_nのサブスレッシュヨルド電流は比較的小さいためである。したがって、全貫通電流I_Aは、表1に示すようにほぼ($n+m \cdot a$)iとなる。I_Aを小さくするためには、nと($m \cdot a$)を同程度の値に設定するのがよい。ここで、aを4程度にしておけば、直列トランジスタ(Q、Q₁)の速度並びにチップ面積に与える影響は小さくできる。

【0026】待機時には、Q、Q₁~Q_nをすべてほとんどオフの状態にする。全体の貫通電流I_SはQのサブスレッシュヨルド電流と等しくなり、従来に比べa/m・nだけ小さくできる。ブロックの給電線の電圧は、m・n・Wとa・Wの比とテーリング係数によって定まるΔVだけV_{CH}から下がる。

【0027】

【表1】

※ルによるメモリアレーの要部を示す。よく知られたV_{CC}/2プリチャージ方式を用いているため、このセンスアンプ駆動回路はV_{CC}/2を中心に動作を行う。このため、V_{CC}とV_{SS}の両方に階層型給電線を用いていることが特徴である。ここでPMOSTランジスタQ_PとNMOSTランジスタQ_Nのコンダクタンスが等しいとする。サブアレー内のCMOSセンスアンプ(SA)群は対応するセンスアンプ駆動回路で選択的に駆動されるが、この時給電線V_{CC}、V_{SS}に流れる電流I_A'は、多数の非選択駆動回路の貫通電流で支配される。例えば、図中のトランジスタQ_P、Q_NのゲートをそれぞれV_{CC}、0にして非選択状態にしても、センスアンプ駆動線CP、CNがV_{CC}/2なので、サブスレッシュヨルド電流がP'₁からP''₁へ流れる。これを阻止するためには、両側に適用することが不可欠である。もし、前述したようにV_{CC}だけに階層型給電線を適用すると、V_{CC}/2から新たにQ_Nのサブスレッシュヨルド電流がP''₁へ流れるようになり、V_{CC}/2のレベル低下を招く。なぜなら、チップに内蔵されたV_{CC}/2の供給回路の電流駆動能力は小さいためである。

【0031】周辺回路(図8中PR)部には上述した貫通電流が流れないと仮定し、ワードドライバ、デコードならびにセンスアンプ駆動回路に本発明を適用した効果を、図9に示す。例題として16ギガビットDRAMをとりあげた。そこで用いたパラメータは、ゲート幅5μmで電流10nAが流れる電圧で定義したしきい値電圧V_Tが-0.12V、テーリング係数Sが97mV/d

ec., 接合温度Tが75℃, 実効ゲート長 L_{eff} が0.15 μ m, ゲート酸化膜厚 T_{ox} が4nm, ワード電圧 V_{CH} が1.75V, 電源電圧 V_{CC} が1V, サイクル時間が180ns, リフレッシュサイクル数が128k, チップサイズが23mm \times 45mm, 1サイクルで充電するデータ線の総容量が17nFである。本発明により、動作電流が従来の約1.05Aから約10分の1の109mAに低減できる。これは、貫通電流が従来の約0.97Aから約30分の1の34mAに著しく低減できるためである。

【0032】以上本発明を、ワードドライバやセンスアンプ駆動回路に適用した実施例を示しながら説明してきたが、本発明の趣旨を逸脱しないかぎり、これまでに述べた実施例に限定されるものではない。以下に本発明の変形例を示す。

【0033】図10に、デコーダに適用した階層構成電源線方式の例を示す。NAND回路とインバータのCMOS論理回路2段で構成されたAND回路で構成した例で、センスアンプ駆動回路のように $V_{CC}/2$ を中心に動作を行う回路でなくても、 V_{CC} と V_{SS} の両側に階層型給電線を用いることが特徴である。NAND回路は、待機時ではすべて V_{CC} を出力し、動作時に少数が0Vを出力する。貫通電流は V_{SS} 側のNMOSTランジスタで定まるので、 V_{SS} 側に階層型給電線を用いる。反対に、インバータは、待機時ではすべて0Vを出力し、動作時に少数が V_{CC} を出力する。貫通電流はPMOSTランジスタで定まるので、 V_{CC} 側に階層型給電線を用いる。

【0034】待機時に同じ電圧を出力し、動作時に少数が動作する回路群であれば、本発明を適用できる。そのとき、全ての回路が同一のランジスタサイズである必要はなく、構成が異なってもよい。

【0035】図11は、本発明をワードドライバに適用した別の実施例で、2メガ個のワードドライバの内16個が同時に動作する場合の例を示している。図1に示した実施例での給電線を複数に分割しても受けた例である。512個のワードドライバでブロックを構成し、512個のブロック($B_{1,1} \sim B_{1,256}$, $B_{2,1} \sim B_{2,256}$)からなる8個のセクタ($S_1 \sim S_8$)を設けている。各セクタ内で、2個のブロック(例えば $B_{1,1}$ と $B_{2,1}$)が給電線(例えば P_1)を共有している。給電線 $P_1 \sim P_{256}$ を、ブロック選択ランジスタ $Q_1 \sim Q_{256}$ を介して、128本ずつ給電線 P_L , P_R に接続する。給電線 P_L , P_R は8個のセクタに共通である。さらに、 P_L , P_R をランジスタ Q_L , Q_R を介して、 V_{CH} の給電線に接続する。 $Q_1 \sim Q_{256}$ のゲート幅を、2個のブロック内のワードドライバ、すなわち1キロ個のワードドライバのランジスタのゲート幅の合計よりも十分小さく選んでおく。また、 Q_L , Q_R のゲート幅を、給電線 P_L , P_R にそれぞれ接続されているブロック選択ランジスタ、すなわち(8 \times 128)個のブロック選択ランジスタの

ゲート幅の合計よりも十分小さく選んでおく。動作時には、8個のセクタは同じ動作をする。例えば、 Q_L , Q_R と各セクタ内の Q_i をオンにして、選択ワードドライバ(#1)を含む2個のブロック($B_{1,1}$ と $B_{2,1}$)に V_{CH} を供給する。貫通電流は、図1に示した実施例で m を256, n を4キロとしたときと同じになる。このように、複数の回路が同時に動作する場合、複数のブロックを同時に選択すればよい。また、スイッチとして動作するランジスタを複数に分割して配置することにより、給電線を短くして配線抵抗の影響を軽減でき、選択ブロックの給電線(P_1)を短時間で充電できる。

【0036】図12に本発明をNMOSTドライバに適用した実施例を示す。ランジスタのドレイン側に階層型給電線を用いているのが特徴である。各ドライバは2個のNMOSTランジスタで構成されたプッシュ・プル回路である。非選択のドライバは0Vを出力し、選択されたドライバは $V_{CC} - V_T$ を出力する。ランジスタのドレイン側、すなわち V_{CC} 側に階層型給電線を用いることにより、非選択のドライバの出力を変化させることなく、図1に示した実施例と同様に貫通電流を低減できる。例えば、図12に示すようにブロック選択ランジスタ $Q_2 \sim Q_n$ がオフのとき、サブスレッショルド電流に対するドレイン電圧の影響が小さくても、 $P_2 \sim P_n$ の電圧が大きく低下して、ワードドライバランジスタに電流が流れなくなる。このように、本発明はCMOS以外の論理回路にも適用できる。

【0037】以上の説明では、ランジスタのサブストレートの接続に触れなかったが、いずれの実施例でも、電源に接続するのが望ましい。その方が、ドレインを接続する給電線にサブストレートも接続するよりも、給電線の充電に要する電荷が小さく充電時間が短くなる。例えば、図1に示した実施例では、PMOSTランジスタのサブストレートを全て V_{CH} に接続することにより、前述のように非選択ブロックの給電線は V_{CH} から ΔV だけ低下したときに、基板バイアス効果により非選択ブロック内のPMOSTランジスタのしきい値電圧が高くなる。ソースがゲートよりも低い電圧になる上に、しきい値電圧が高くなることによって、サブストレートがドレインと同じ電圧の場合に比べ、小さな ΔV で同じ電流低減効果が得られる。

【0038】ランジスタのしきい値電圧は全て同じとして説明したが、スイッチとして用いるランジスタのしきい値電圧を他のランジスタよりも高くすることにより、貫通電流をさらに低減できる。例えば、図1の Q 及び $Q_1 \sim Q_n$ のしきい値電圧をワードドライバ内のランジスタよりも高くし、 a 及び b を大きく選ぶことにより、スイッチのオン抵抗による動作速度の劣化は防止しながら、貫通電流をさらに低減できる。オフでのサブスレッショルド電流には指数関数的に影響するのになが、オン抵抗には1次関数でしか影響しないためであ

る。ゲート幅に伴いゲート容量が大きくなっても、図3での充電時間 t_1 、 t_2 が確保できれば、動作速度の点で問題ない。また、レイアウト面積の点でも、比較的個数が少ないため問題ない。場合によっては、Qだけにしきい値電圧の高いトランジスタを用いても、待機電流の低減に有効である。

【0039】図3に示したタイミング図では、 $\neg RAS$ が0Vとなっている活性期間中は、 Φ 及び Φ_1 を下げたままにして、Q及び Q_1 をオンに保っていた。これは、 $\neg RAS$ により発生される活性時と待機時の動作モードを指定する信号により Φ を制御し、その信号とアドレス信号との組み合わせ信号により Φ_1 を制御することにより実現される。さらに、 $\neg RAS$ の立ち下がりからワード線の駆動が終了するまでの期間を指定する信号を用いて、ワード線駆動後は Φ 及び Φ_1 を V_{CH} にしてQ及び Q_1 をオフにすることも可能である。これによりワード線駆動後の貫通電流を、活性時であっても待機電流 I_s と同程度に低減できる。この効果は、 $\neg RAS$ が0Vとなっている活性期間が長いほど大きい。ただし、この場合、メモリセルの再書き込みのために、 $\neg RAS$ の立ち上がりから一定期間、 Φ 及び Φ_1 を下げてQ及び Q_1 をオンにする必要がある。例えば図10に示したデコーダに適用した実施例についても、同様に出力確定後の貫通電流をさらに低減可能である。

【0040】本発明は、DRAMだけでなく、スタティック・ランダム・アクセス・メモリ（SRAM）やリード・オンリー・メモリ（ROM）などのメモリおよびメモリ内蔵論理LSIにも適用できる。本発明は、しきい値電圧が小さくなるほど効果が大きく、動作電流において貫通電流が支配的となってくるしきい値電圧0.2V程度以下のLSIでは、効果が著しい。動作電圧2V程度以下では動作速度の点からその程度のしきい値電圧が必要になり、あるいはゲート長0.2 μm 程度以下ではスケール則によりそのようなしきい値電圧となるので、特に効果が大きい。

【0041】

【発明の効果】以上に述べた実施例で明らかなように、

本発明により、動作速度を損なうことなく貫通電流を低減でき、低消費電力で高速動作を行う半導体装置を実現できる。

【図面の簡単な説明】

【図1】ワードドライバに適用した実施例を示す図である。

【図2】ワードドライバのPMOSTランジスタの動作点を示す図である。

【図3】図1に示した実施例の動作タイミング図である。

【図4】センスアンプ駆動回路に適用した実施例を示す図である。

【図5】メモリアレー要部の構成例を示す図である。

【図6】従来のCMOSインバータの回路図である。

【図7】トランジスタのサブスレッショルド特性を示す図である。

【図8】メモリのブロック図である。

【図9】本発明の効果を示す図である。

【図10】デコーダに適用した実施例である。

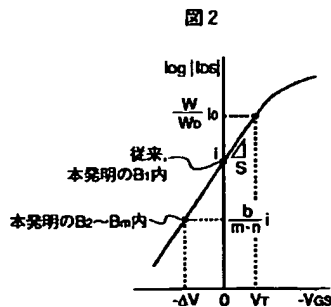
【図11】ワードドライバに適用した別の実施例である。

【図12】NMOSドライバに適用した実施例を示す図である。

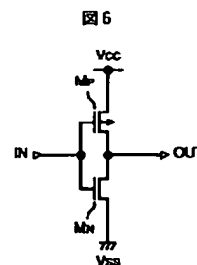
【符号の説明】

WD…ワードドライバ、W…ワード線、XDEC…Xデコーダ、D…データ線、SA…センスアンプ、YDEC…Yデコーダ、SAD…センスアンプ駆動回路、CN、CP…センスアンプ駆動線、MC…メモリセル、MA…メモリアレー、PR…周辺回路、 V_{CH} …ワード電圧、 V_{CC} …電源電圧、 V_{SS} …接地電圧（0V）、 m 、 m' …ブロック数、 n …ブロック内の回路数、 $B_1 \sim B_n$ 、 $B'_1 \sim B'_n$ …ブロック、 $P_1 \sim P_n$ 、 $P'_1 \sim P'_n$ 、 $P''_1 \sim P''_n$ …ブロックの給電線、 $Q_1 \sim Q_n$ 、 $Q'_1 \sim Q'_n$ 、 $Q''_1 \sim Q''_n$ …ブロック選択トランジスタ、 P 、 P' 、 P'' …第2の給電線、 Q 、 Q' 、 Q'' …動作モードと大気モードを選択するトランジスタ。

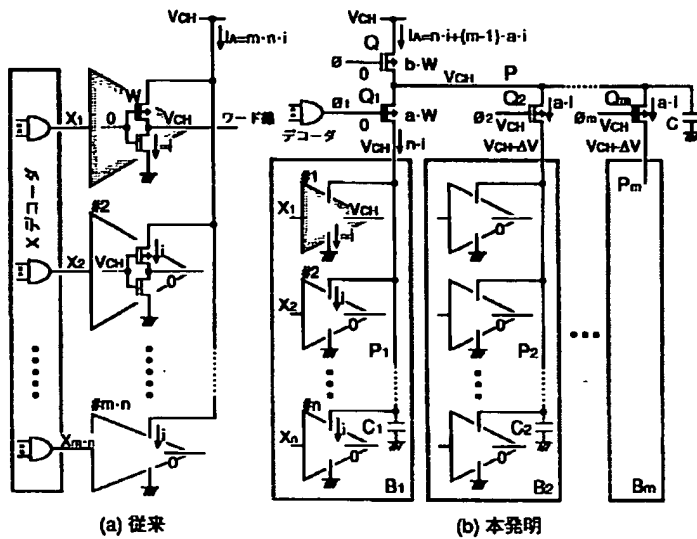
【図2】



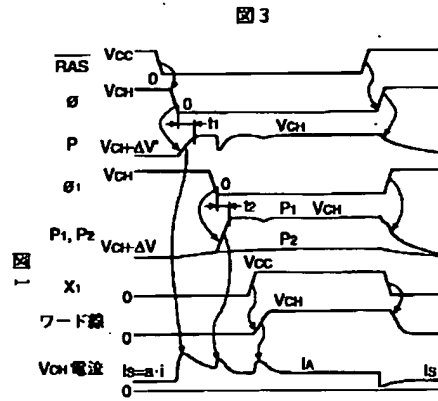
【図6】



【図1】



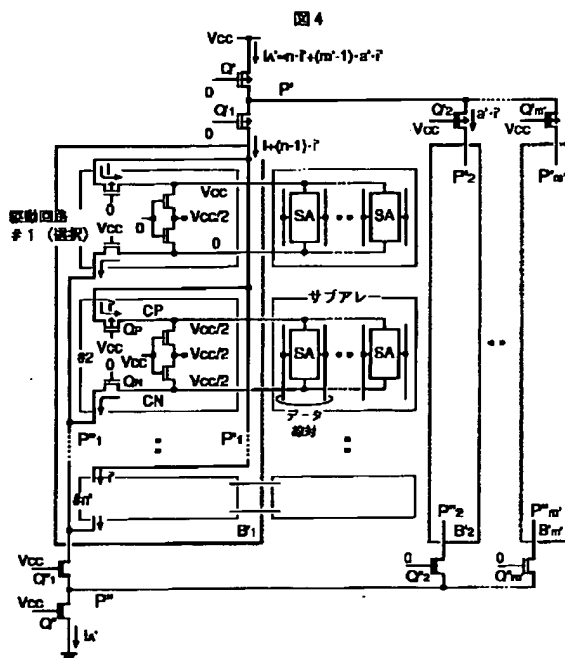
【図3】



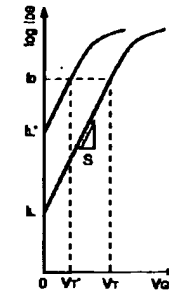
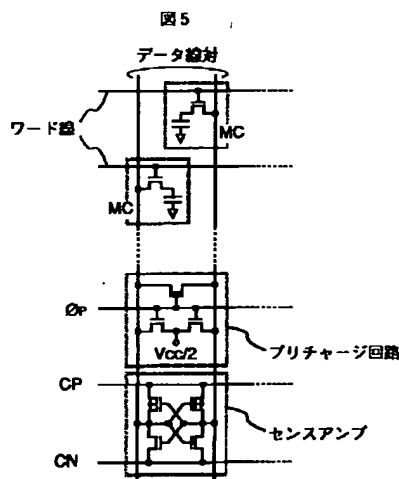
【図7】

図 7

【図4】

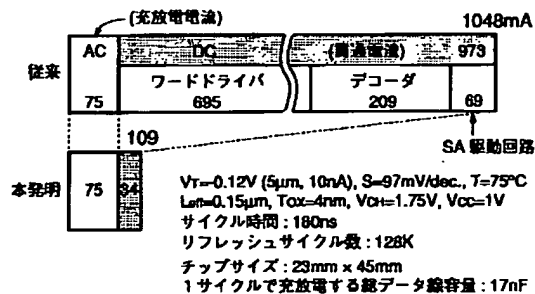


【図5】



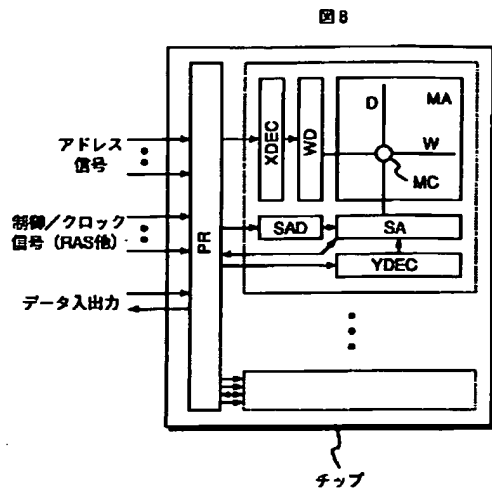
【図9】

図 9

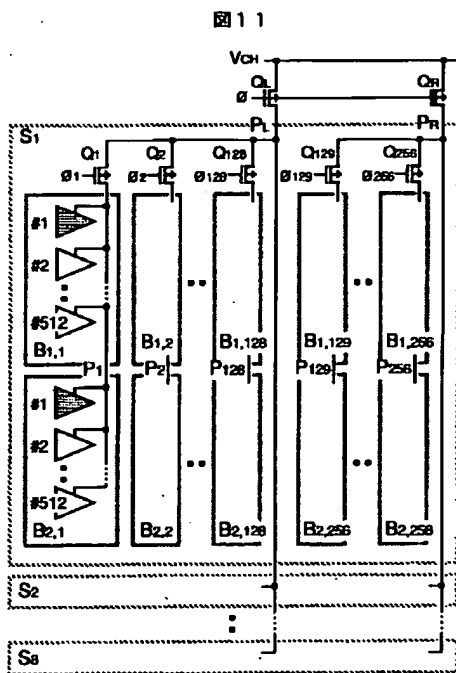


$V_t = 0.12V$ ($5\mu m$, $10nA$), $S = 97mV/dec.$, $T = 75^\circ C$
 $L_{eff} = 0.15\mu m$, $T_{ox} = 4nm$, $V_{ch} = 1.75V$, $V_{cc} = 1V$
 サイクル時間: 180ns
 リフレッシュサイクル数: 128K
 チップサイズ: $23mm \times 45mm$
 1サイクルで充放電する総データ線容量: 17nF

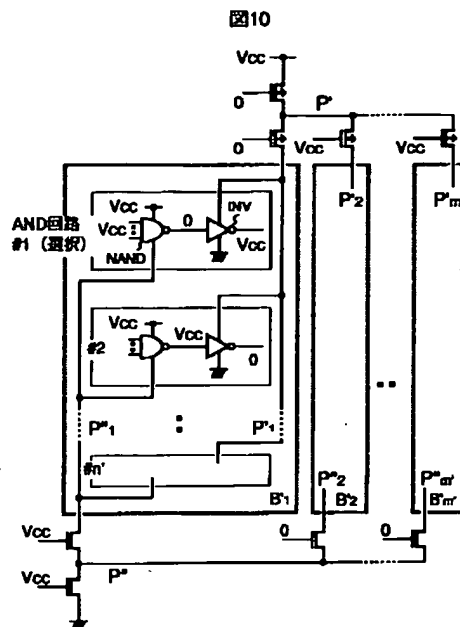
【図8】



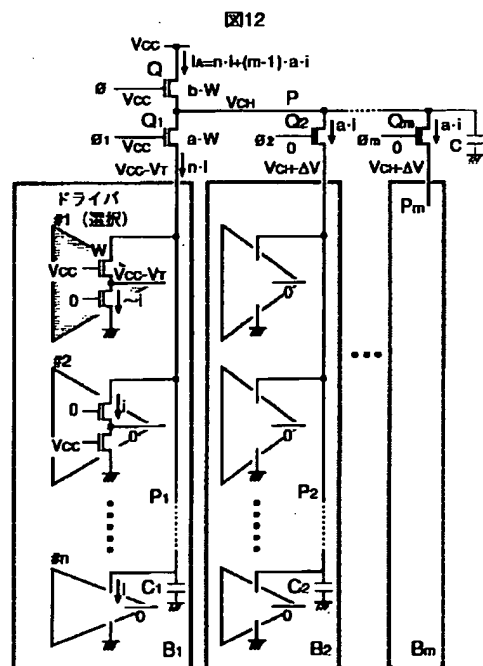
【図11】



【図10】



【図12】



フロントページの続き

(51)Int. Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 K 17/693	A	7436-5 J		
19/0948		8321-5 J	H 0 3 K 19/094	B